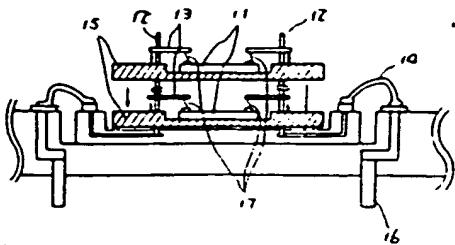


## 50 INTEGRATED CIRCUIT PACKAGE

(11) 60-22352 (A) - (33) 4.2.1985. (19) JP  
 (21) Appl. No. 58-130202 (22) 19.7.1983  
 (71) TOSHIBA K.K. (72) MASATOSHI SEKINE  
 (53) Int. Cl. H01L25.01

**PURPOSE:** To facilitate high density mounting by a method wherein pins are provided to a pedestal with terminals planted in enclosure manner, and substrates, which are mated with the pins and on recessed parts of which chips are mounted, and wiring boards are closely laminated alternately.

**CONSTITUTION:** An LSI chip 11 is bonded to a bed 15. The beds 15 and wiring boards 13 are laminated alternately. Interconnection between the LSI and the wiring board 13 is performed and interconnection between the LSIs is performed through a pin 12. Connection is made by direct connection of soldering or by bonding of a lead wire. The thickness of ordinary LSI chip can easily be made at  $\pm$  0.01 mm or less and the thickness of one set including internal lead wires can be made 1.0 mm or less.



257/680

## ⑪ 公開特許公報 (A)

昭60-22352

Int. Cl.  
H 01 L 25'04

識別記号

厅内整理番号  
7638-5F

⑫ 公開 昭和60年(1985)2月4日

発明の数 1  
審査請求 未請求

(全 3 頁)

## ⑬ 集積回路パッケージ

⑭ 特 願 昭58-130202  
⑮ 出 願 昭58(1983)7月19日  
⑯ 発明者 関根優年⑰ ⑱ ⑲ ⑳ ⑳ ⑳  
川崎市幸区小向東芝町1 東京芝  
浦電気株式会社総合研究所内  
出願人 株式会社東芝  
川崎市幸区堀川町72番地  
代理人 弁理士 則近憲佑 外1名

## 明細書

## 1. 発明の名称

集積回路パッケージ

## 2. 特許請求の範囲

板状の入出力端子を有する台座に前記端子と夫々接続された複数の基板柱が団状に設けられ、この台座上に前記基板柱と嵌合し、凹部に集積回路チップが樹立された基板と、前記チップとの基板柱間を適宜接続する配線板とが交互に配置して積み重なってなる事を特徴とする集積回路パッケージ。

## 3. 発明の詳細な説明

## 〔発明の属する技術分野〕

本発明は、LSIのパッケージ方法に關し、特にそれを複数のLSIを同一パッケージに封入することに關するものである。

## 〔従来技術とその問題点〕

従来より、LSIチップは、セラミック又は、プラスチックパッケージの内に封入され、パッケージはリード脚を外部に化している基板が大部分である。大规模回路が普通になるにつれ、LSIの高

集成化、又は、多くのLSIを1つの大きなパッケージ内に封入して、システムの小型化を計る方法も見られるが、従来からのLSIのパッケージ方法は、第1図に示すように平面的に複数のLSIを配置するのが普通である。

又、1つのLSIをプラスチックパッケージする場合には第2図に示すようなリードフレームを用い、LSIチップをベッド上に配置し、各リード脚とLSIとをボンディングした後、熱硬化性樹脂により封入するのが普通である。

ところが、こうしたLSIの次元的义は、特別に配置する方法では、LSIを高集成することには、問題があった。

## 〔発明の目的〕

本発明は、簡便で、低成本なパッケージ方式を実現するものである。

## 〔発明の概要〕

本発明は入出力端子を有する台座上にピンを用い状に設け、これに嵌合し、凹部にチップが搭載された基板と、チップとピンを適宜接続する配線

度とを交互に重ねては離したものである。

#### (1) 光明の効果

本発明によれば、高密度の配線が極めて容易に行なえると共に、チップ側の配線がピンにより行なわれるので、配線長が短く半導体面を小さくすることができて供給電力化、高密度化に大きな効果がある。

#### (2) 光明の実用例

以下、例を用いて詳細を説明を行う。第3図によると、上方によるパッケージ方式を示す。まず、各LSIは第1図に示すよう、ベッド15にあらかじめ、並びに付け合の技術を用いて接合されている。このベッドは金属性体43と絶縁体45との所構造により、さらに垂直方向に接合が行えるように、内側に垂直方向に溝が開けられている。又、内側に垂直方向に溝が開けられていて垂直接合と並行接合とが実現させることができる。金属性体43は、LSI基板の位置を取ると同時に、ヒートシンクとしての働きをねらし、高密度パッケージによる温度上昇を防ぐ働きがある。第4図は配線板(内部フレーム)を示し、内部リードフレーム

32(チップのパッド33を所定のピン(前述)に接続)と絶縁支持体により形成される。各LSIチップを各ベッドに配置したあと、第3図のごとく各ベッドと第4図に示す配線板とを交互に重ね重ね、LSIと内部フレーム、ピン(導体柱12)を通じてLSI間の相互接続を行う。この内部フレームとLSIとの接続方法は、ろう付けによる内部フレームの直付けあるいは、リードワイヤオボンティングすることによって行なう。内側リードフレーム32端部は上記ピン12用の接合部が付けられている。通常のLSIチップの厚さは約300μm程度であり、LSIベッドの厚さは1mm以下にするとことは容易であり、及び内側リード線をねめた1組の厚さは、1mm以下にすることとは容易に実現できる。又、これら基板間の接合は樹脂等による接着又は圧着で良い。

したがって、10組程度のLSIを実装した場合でも、パッケージ第6図に示すような構成であり、その厚さの増加は、取扱程度とごく僅かである。

本発明による長所としては、LSIチップの直

接合が大巾に向うること、LSIチップ間の内部配線長が大幅でなくため、LSIチップに接続された配線の直角距離が従来の方式に比べ、大幅に低減できるため、LSIのOutput bufferの高遮断能力を小さくすることによってLSIの電力を低減することができる。LSIチップ内が分いたため、高密度化が実現できることなどが上げられる。

#### 4. 図面の簡単な説明

第1図は、通常のマイクロパッケージの上面図、第2図は、通常のリードフレームの構造の上面図、第3図は本発明によるパッケージの断面図、第4図は、本発明に使用される内部リードフレームの上面図、第5図はLSIベッドの構成図、第6図はLSIパッケージの構成図である。

図において、

11…LSIチップ、12…ピン、13…内部リードフレーム、14…ボンディングワイヤー、  
15…ベッド、16…リード柱、22…チップヘッド、  
21…リード柱、31…チップ側板、  
32…内部リードフレーム、33…パッド、

34…側板枠、41…LSIチップ、42…ベッド、  
43…基板、44…孔、45…導体柱。

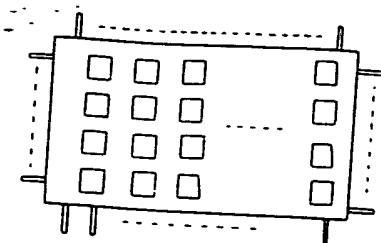
17…配線、

代表人 井端士郎 近藤佑  
(ほか1名)

特許60-22352(2)

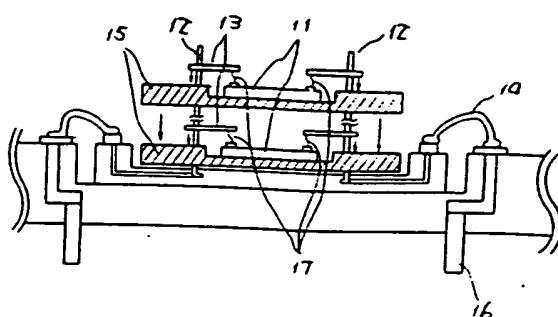
定のループ回路に  
取られる。各LSIと  
その他の回路によく  
とて交互に組みあ  
(構体柱12)を内  
の内蔵フレーム  
ICによって組み  
ライヤルフレ  
ムリードフレ  
ーム孔が抜けられ  
は約300μm程  
度以下にすると  
時を含めた1組  
を容易に実現でき  
音等による振動

第1図

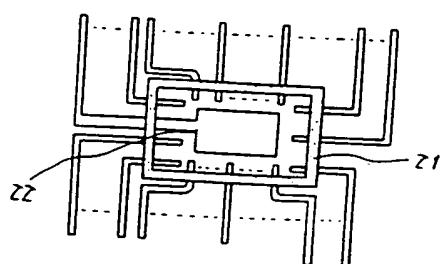


特許60-22352(3)

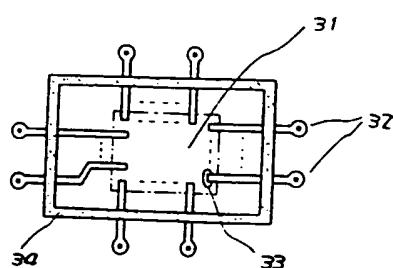
第3図



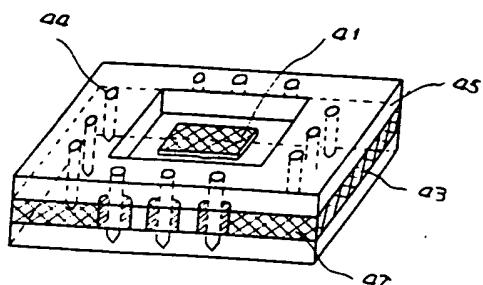
第2図



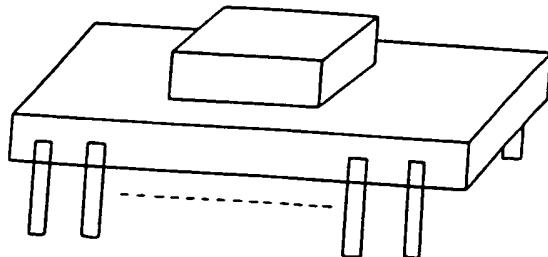
第4図



第5図



第6図



# INNOVATIVE WIRELESS INTERCONNECT SYSTEM

By Richard W. Lay

**BALTIMORE** — Researchers at TRW Inc.'s Electronic Systems Group (Redondo Beach, Calif.) are working to perfect a wireless and connectorless multiboard interconnection system which they claim could reduce interconnect capacitance by as much as 80 percent.

**Called Button Board**, the concept is based on the compression of small (0.042 x 0.042-inch), springlike conductive "buttons" with a clamping force in a solderless, wireless and connectorless environment to effect a connection between two PC cards lying either face-to-face or with conductive signal paths brought out to the PC card's edges.

## TRW In Baltimore

Robert Smolley, who revealed the TRW project at the Fourth Annual International Electronics Packaging Conference held here last week, explained that in a planar packaging system where multilayer PC cards are laid face-to-face, conductive spacers would be used between successive button boards to keep PC card components from touching. In this way it would be possible to build multiple layers of multilayer boards into very densely populated, yet reliable, circuit environment.

Although much work still remains to be done, preliminary shock and vibration reliability information gathered from an experimental device which contained 10,000 series contacts provided encouraging results.

Among advantages of the system which Smolley listed were low contact resistance of under 0.4 mΩ, and multiple conductive paths through the contact because of the unique structure of the button itself, which results in multiple contact points.

### Button Construction

The button is constructed of 0.002 x 0.002-inch-diameter silver-copper wire, which is gold plated to obtain the finished dimension. Because of the winding of these wires during fabrication, the contact spring is a random column providing multiple contact points. By controlling the amount of wire used in constructing the button, control of the spring constant, as well as the contact pressure, is achieved, Smolley said. The buttons themselves protrude 0.10 inches above and below an acrylic button board, he added.

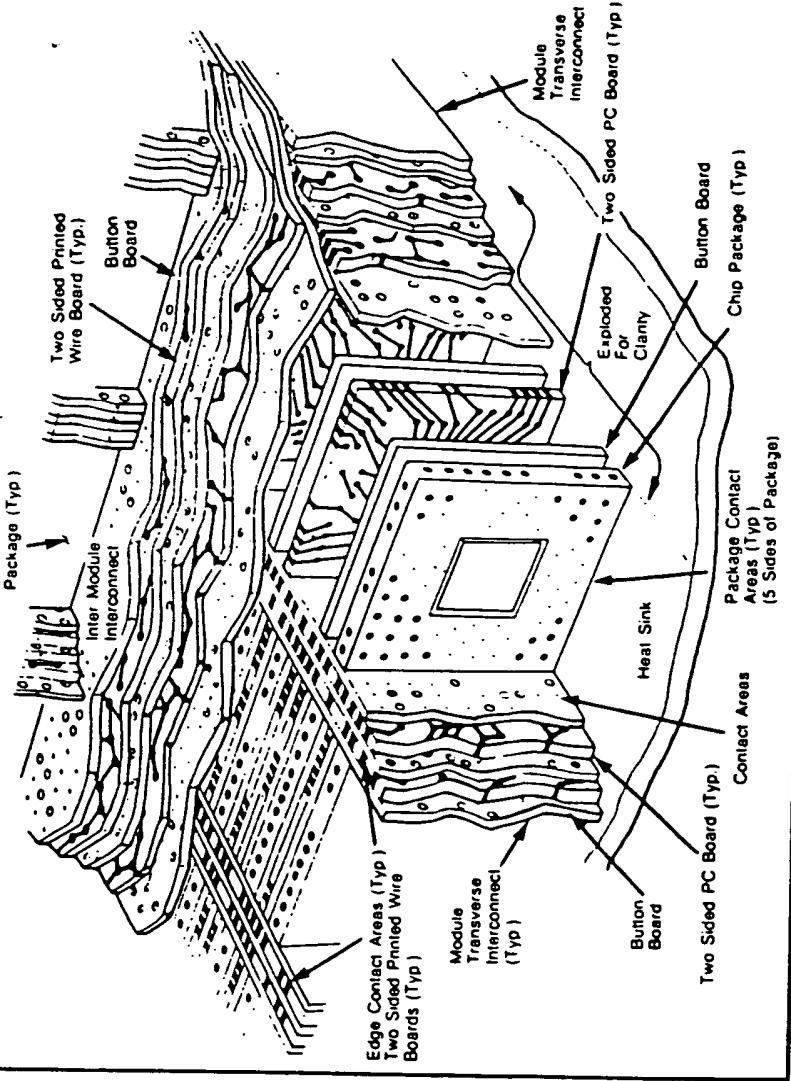
The whole concept behind Button Board is to eliminate the relatively high-impedance long wire harnesses and numerous pin and socket connections associated with today's board-to-board interconnect technology.

In preparation for higher-speed circuits (from 100 MHz to the gigahertz range), which will be associated with the VHSIC and gallium arsenide technology already on the drawing board, conductive line lengths on PC boards and between PC boards must be drastically shortened.

"The problem with such conventional interconnection systems is that all input and output leads must terminate on the circuit board edge to accommodate connector or wire wrap terminations."

Electronic Engineering Times • Monday, November 5, 1984

## THREE DIMENSIONAL PACKAGING



- Minimization of lead fan-out problems because lead I/Os can be located on five surfaces of a chip package;
- A virtually unlimited number of interconnections because of the ability of the system to add another Button Board and a circuit layer;
- Superior thermal performance because all chip packages are in contact with a primary heat exchanger.

Because the Button Board is primarily a mechanical assembly, each button can be tested prior to assembly, and can be taken out of a circuit—and reused—at any time. This is a feature which enhances circuit modification turnaround time. Because all parts of the system are mechanically compressed,

other signal paths to reach the terminating edge of the PC board," Smolley said. However, with the Button Board, predesignated areas such as the middle, top and bottom of the board can be designated as a "signal out" point and the shortest electrical path can be taken between any two boards.

"In actual application, the interconnect areas can be of varying sizes and be located in any area of the board," Smolley explained.

### Other Advantages

The construction of a three-dimensional interconnect technology is achievable with current technology, although TRW's work has not progressed that far, Smolley said. Among

39/39